

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-105603

(43)Date of publication of application : 18.04.1990

(51)Int.Cl.

H03F 3/21
H03F 1/30

(21)Application number : 63-258648

(71)Applicant : NEC CORP

(22)Date of filing : 13.10.1988

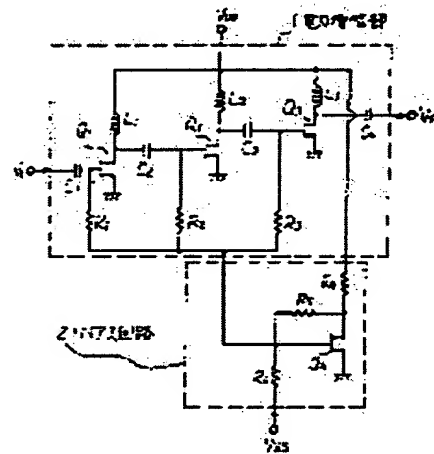
(72)Inventor : OKAMOTO OSAMU

(54) HIGH FREQUENCY POWER AMPLIFIER

(57)Abstract:

PURPOSE: To prevent the activity efficiency of a source voltage from making worse and an output voltage and a gain from being lowered by providing a power amplifier part and a bias circuit of voltage negative feedback type consisting of a field effect transistor formed with the same condition on the same chip, and supplying a bias voltage to each field effect transistor.

CONSTITUTION: The bias circuit 2 is constituted by providing the field effect transistor Q4 formed with the same condition as that of the field effect transistors Q1-Q3, a load resistor R4 connected between the drain of the field effect transistor Q4 and a power source supply terminal, a feedback transistor R5 connected between the drain and the gate of the Q4, and a resistor R6 for bias voltage supply whose one end is connected to the gate of the Q4 and to the other end of which the bias voltage VGG is applied. A circuit is constituted so as to supply the bias voltage to the field effect transistors Q1-Q3 by connecting the gate of the field effect transistor Q4 to the other ends of the resistors R1-R3 of the power amplifier part 1. In such a way, it is possible to stably supply a gate voltage by the bias circuit 2 of voltage negative feedback type in spite of temperature change or dispersion in manufacturing.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-105603

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)4月18日、

H 03 F 3/21
1/30

A

8836-5J
8836-5J

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 高周波電力増幅器

⑮ 特 願 昭63-258648

⑯ 出 願 昭63(1988)10月13日

⑰ 発 明 者 岡 本 修 東京都港区芝5丁目33番1号 日本電気株式会社
⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

高周波電力増幅器

特許請求の範囲

同一半導体チップ内に、少なくとも1つの第1の電界効果トランジスタと、一端をこの第1の電界効果トランジスタのゲートと接続したバイアス供給用の抵抗とを備え、入力信号を電力増幅する電力増幅部と、この電力増幅部の第1の電界効果トランジスタと同一条件で形成されゲートを前記バイアス供給用の抵抗の他端に接続した第2の電界効果トランジスタとこの第2の電界効果トランジスタのドレイン及び電源供給端子間に接続された負荷用の抵抗と前記第2の電界効果トランジスタのドレイン・ゲート間に接続された帰還用の抵抗と一端を前記第2の電界効果トランジスタのゲートに接続し他端にバイアス用電圧を印加するバイアス用電圧供給用の抵抗とを備え、前記第1の

電界効果トランジスタにバイアス電圧を供給するバイアス回路とを有することを特徴とする高周波電力増幅器。

発明の詳細な説明

〔産業上の利用分野〕

本発明は高周波電力増幅器に関し、特に増幅用の電界効果トランジスタに所定のバイアス電圧を供給して電力増幅するIC化された高周波電力増幅器に関する。

〔従来の技術〕

従来、この種の高周波電力増幅器は、増幅用の電界効果トランジスタにバイアス電圧を供給する方式として、第1の例として第2図(a)に示すように、ドレインに接続された負荷用の抵抗 R_L 、ドレイン・ゲート間に接続された帰還用の抵抗 R_F 、ゲートに接続されたバイアス電源供給用の抵抗 R_B とを備え、電界効果トランジスタ Q_1 のゲートに所定のバイアス電圧を供給する電圧負帰還型のバイアス方式、第2の例として第2

図(b)に示すように、ソース・接地電位端子間及びゲート・接地電位端子間にそれぞれ抵抗 R_{10} 、 R_{11} を接続した自己バイアス方式、第3の例として第2図(c)に示すように、ゲートに抵抗 R_{12} を接続してこの抵抗 R_{12} を介して直接バイアス電圧を供給する固定バイアス方式等がある。

〔発明が解決しようとする課題〕

上述した従来の高周波電力増幅器は、増幅用の電界効果トランジスタ Q_3 にバイアス電圧を供給するのに、電圧負帰還型のバイアス方式、自己バイアス方式及び固定バイアス方式等により行う構成となっているので、電圧負帰還型のバイアス方式では、大きな電流を増幅する場合、負荷用の抵抗 R_7 に大きな電流が流れる為、電源電圧の利用率が悪化し、出力電力の低下を来し、またこの抵抗 R_7 は電界効果トランジスタ Q_3 の負荷となる為電力損失が大きくなるという欠点があり、自己バイアス方式では、大きな電流の場合、ソース・接地電位端子間の抵抗 R_{10} が非常に小さくなる為実現困難であり、またこの抵抗 R_{10} により利

得が低下するという欠点があり、固定バイアス方式では電界効果トランジスタ Q_3 の最適ゲートバイアス電圧を外部より供給する必要があり、かつ電界効果トランジスタ Q_3 の製造ばらつきや温度変化に対して個々にゲート電圧を調整する必要があると云う欠点がある。

本発明の目的は、電源電圧の利用率の悪化、電力損失の増大及び出力電力、利得の低下を防止し、製造ばらつきや温度変化に対して安定に動作し、かつ内部回路により容易に実現することができるバイアス方式の高周波電力増幅器を提供することにある。

〔課題を解決するための手段〕

本発明の高周波電力増幅器は、同一半導体チップ内に、少なくとも1つの第1の電界効果トランジスタと、一端をこの第1の電界効果トランジスタのゲートと接続したバイアス供給用の抵抗とを備え、入力信号を電力増幅する電力増幅部と、この電力増幅部の第1の電界効果トランジスタと同一条件で形成されゲートを前記バイアス供給用の

抵抗の他端に接続した第2の電界効果トランジスタとこの第2の電界効果トランジスタのドレイン及び電源供給端子間に接続された負荷用の抵抗と前記第2の電界効果トランジスタのドレイン・ゲート間に接続された帰還用の抵抗と一端を前記第2の電界効果トランジスタのゲートに接続し他端にバイアス用電圧を印加するバイアス用電圧供給用の抵抗とを備え、前記第1の電界効果トランジスタにバイアス電圧を供給するバイアス回路とを有している。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を示す回路図である。

電力増幅器1は、電界効果トランジスタ $Q_1 \sim Q_3$ の3段構成となっており、これら電界効果トランジスタ $Q_1 \sim Q_3$ のゲートには高抵抗値の抵抗 $R_1 \sim R_3$ の一端がそれぞれ接続されている。

バイアス回路2は、電界効果トランジスタ Q_1

$\sim Q_3$ と同一条件で形成された電界効果トランジスタ Q_4 と、この電界効果トランジスタ Q_4 のドレイン・電源供給端子間に接続された負荷用の抵抗 R_4 と、ドレイン・ゲート間に接続された帰還用の抵抗 R_5 と、一端をゲートと接続し他端にバイアス用電圧 V_{00} を印加するバイアス用電圧供給用の抵抗 R_6 とを備えて構成され、この電界効果トランジスタ Q_4 のゲートを電力増幅部1の抵抗 $R_1 \sim R_3$ の他端に接続して電界効果トランジスタ $Q_1 \sim Q_3$ にバイアス電圧を供給する構成となっている。

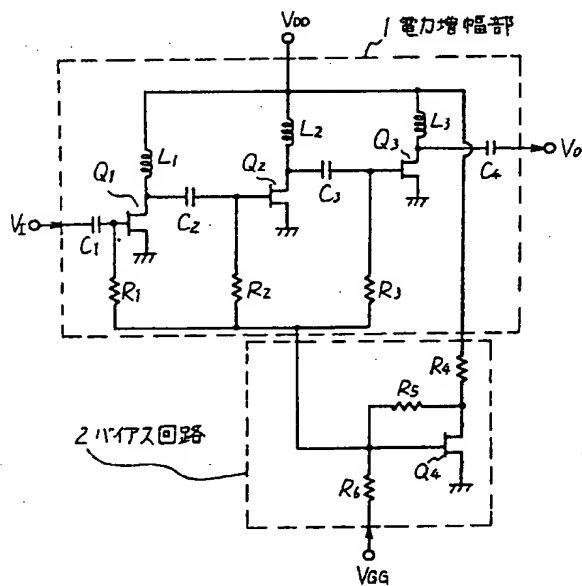
これら電力増幅部1及びバイアス回路2は同一半導体チップ上に形成されており、また電界効果トランジスタ $Q_1 \sim Q_3$ 及び Q_4 は同一条件で形成されているので、これら電界効果トランジスタ $Q_1 \sim Q_4$ の最適動作電流を与えるゲート電圧は同一電圧となり、このゲート電圧は電圧負帰還型のバイアス回路2によって温度変化や製造ばらつきに対し安定して供給される。

また、電界効果トランジスタ $Q_1 \sim Q_3$ にバイ

アス電圧を供給する回路、即ち、抵抗 $R_1 \sim R_3$ 、及びバイアス回路 2 は電力増幅器 1 の電力処理部分の外側にあるので、電源電圧の利用率の悪化、電力損失の増大、出力電力の低下及び利得の低下等は全くない。

〔発明の効果〕

以上説明したように本発明は、同一半導体チップ上に、電力増幅部と、この電力増幅部の電界効果トランジスタと同一条件で形成された電界効果トランジスタによる電圧負帰還型のバイアス回路とを設け、電力増幅部の電界効果トランジスタのゲートとバイアス回路の電界効果トランジスタのゲートとの間を高抵抗で接続して各電界効果トランジスタにバイアス電圧を供給する構成とすることにより、電源電圧の利用率の悪化、電力損失の増大、出力電力の低下及び利得の低下を防止し、かつ製造ばらつきや温度変化に対して安定に動作するバイアス電圧供給用の回路を容易に実現することができる効果がある。



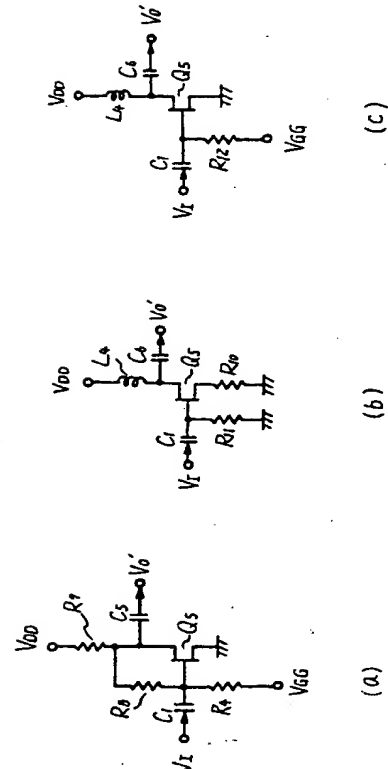
第 1 図

図面の簡単な説明

第 1 図は本発明の一実施例を示す回路図、第 2 図 (a) ~ (c) はそれぞれ従来の高周波電力増幅器の第 1 ~ 第 3 の例を示す回路図である。

1 … 電力増幅器、2 … バイアス回路、 $C_1 \sim C_6$ … コンデンサ、 $L_1 \sim L_4$ … インダクタンス、 $Q_1 \sim Q_5$ … 電界効果トランジスタ、 $R_1 \sim R_{12}$ … 抵抗。

代理人 弁理士 内 原 晋



第 2 図

THIS PAGE BLANK (USPTO)